

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163132

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 21/285
H01L 21/3205

(21)Application number : 09-303074

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 05.11.1997

(72)Inventor : CHOO GENCHIN
BUN EIWA
KEN KAKUSHIN

(30)Priority

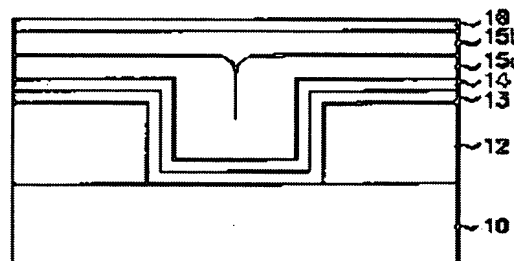
Priority number : 96 9659024 Priority date : 28.11.1996 Priority country : KR

(54) METAL WIRING OF SEMICONDUCTOR DEVICE AND ITS FORMATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a metal wiring layer that reliably comes into contact with a contact hole and has a low wiring resistance in a semiconductor device.

SOLUTION: A first tungsten film 15a containing an impurity for reducing resistivity is formed as a contact hole that is opened to the insulation film of a semiconductor element and whose lower, specific region is exposed so that a contact hole is buried at a temperature of 450° C or lower, and a second tungsten film 15b containing an impurity for reducing resistivity is formed on the tungsten film 15a so that an internal stress is reduced at a temperature of 450° C or higher. A wiring layer with a high contact reliability and a low wiring resistance is obtained by the improved step coverage of tungsten and reduction of resistivity due to the inclusion of the impurity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163132

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

H 0 1 L 21/285
21/3205

識別記号

3 0 1

F I

H 0 1 L 21/285
21/88

3 0 1 R
R

審査請求 未請求 請求項の数 9 O L (全 4 頁)

(21) 出願番号 特願平9-303074

(22) 出願日 平成9年(1997)11月5日

(31) 優先権主張番号 1 9 9 6 P 5 9 0 2 4

(32) 優先日 1996年11月28日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 張 ▲王玄▼珍

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

(72) 発明者 文 永和

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

(72) 発明者 權 赫晋

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

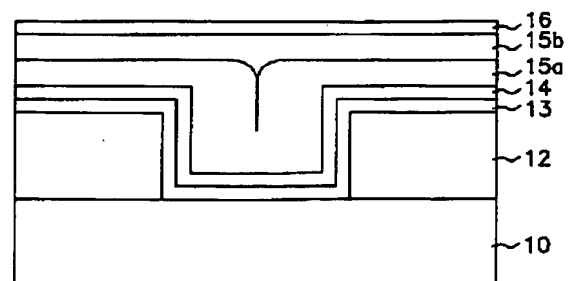
(74) 代理人 弁理士 長谷 照一 (外2名)

(54) 【発明の名称】 半導体装置の金属配線およびその形成方法

(57) 【要約】

【課題】 半導体装置において、コンタクトホールに信頼性高く接触し、かつ配線抵抗の低い金属配線層を提供する。

【解決手段】 半導体素子の絶縁膜に開口し下方の所定領域が露出するコンタクトホールに、抵抗率を低くする不純物を含む第一のタングステン膜を450℃以下の温度でコンタクトホールを埋めるように形成し、その上に抵抗率を低くする不純物を含む第二のタングステン膜を450℃以上の温度で内部ストレスを減少するように形成する。タングステンの段差被覆性の良さと、不純物含有による抵抗率の減少により、接触信頼性が高く配線抵抗の低い配線層が得られる。



1 0 … 半導体基板
1 2 … 層間絶縁膜
1 3 … チタン膜
1 4 … 窒化チタン膜
1 5 a … 第一タングステン膜
1 5 b … 第二タングステン膜
1 6 … 反射防止 T i N 膜

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 導電層の所定部位が露出する開口部を有する絶縁膜と、
上記絶縁膜の開口部を埋めるプラグとしてタングステンの抵抗率を低くするための不純物を含む第一タングステン膜と、
上記第一タングステン膜が形成された結果物の全面に形成される配線として、タングステンの抵抗率を低くするための不純物を含む第二タングステン膜とを備えてなる半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、さらに、上記絶縁膜と上記第 1 タングステン膜の間に形成される障壁金属膜を備えてなる半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、さらに、上記第二タングステン膜上に反射防止膜を備えてなる半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置であって、上記第一および第二タングステン膜に含まれる上記不純物は、ホウ素およびリンを含むことを特徴とする半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置であって、上記第一および第二タングステン膜は、 B_2H_6 ガスと PH_3 ガスを含むガス雰囲気中で形成されることを特徴とする半導体装置。

【請求項 6】 金属コンタクトホールが形成されたウェハを準備する段階と、
リンとホウ素を含むガス雰囲気中で 450°C 以下の温度で第一タングステン膜を形成することにより、上記金属コンタクトホールを埋めるプラグを形成する段階と、
リンとホウ素を含むガス雰囲気中で 450°C 以上の温度で第二タングステン膜を蒸着して、上記第一タングステン膜と接続される配線を形成する段階とを備えてなる半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法であって、
さらに、上記第一タングステン膜を形成する前に障壁金属膜を形成する段階と、
上記障壁金属膜に熱処理を施す段階とを備えてなる方法。

【請求項 8】 請求項 6 に記載の半導体装置の製造方法であって、
さらに、上記第二タングステン膜上に反射防止膜を形成する段階を備えてなる方法。

【請求項 9】 請求項 6 に記載の半導体装置の製造方法であって、
上記第一および第二タングステン膜は、 B_2H_6 ガスと PH_3 ガスを含むガス雰囲気中で形成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置における各素子間の電気的な接続のための金属配線に関するもので、特に高集積化による DLM 工程を改善した半導体装置の金属配線およびその形成方法に関するものである。

【0002】

【従来の技術】 従来、DLM (Double-Layer Metallization) 工程は、DRAM 素子の基軸になる MOS トランジスタとキャパシタが形成された以後の工程として、素子の高速動作や高集積化による素子の寸法減少に対する金属配線工程として非常に適した工程であるが、従来一般にはその配線層の材料としてアルミニウム合金を使用してきた。

【0003】 一般に、金属配線は、半導体装置内の素子相互間の電気的接続を司るものである。したがって、金属配線工程は、集積回路の歩留まりおよび信頼性に大きな影響を及ぼす決定的な工程である。アルミニウム (Al) は、シリコンおよびシリコン酸化膜に対しての密着性に優れており、かつ高濃度にドーピングしたシリコン (N^+ 、 P^+) との接合においてオーミックコンタクト特性を示すので、半導体装置の製造工程における金属配線のためのコンタクトホールの埋込み (詰め) 材料として最も幅広く使用されている。

【0004】 しかし、素子の高集積化の趨勢により、コンタクトホールの寸法が小さくなり、またアスペクト比 (深さ/径の比) が大きくなってくると、アルミニウムの段差被覆性が悪いことにより金属配線形成の工程時にコンタクトホールの箇所短絡現象が生じたりスパイクが生じたりして、素子の信頼性が低下する問題があった。

【0005】 そこで、より改善された方法として、アルミニウム合金の代わりに、段差被覆性の優れたタングステン (W) をコンタクトホールの埋込み材料として使用することが行われる。この場合には、 SiH_4 、 WF_6 、 H_2 および Ar ガス雰囲気中でタングステン膜を形成する。

【0006】

【発明が解決しようとする課題】 しかし、タングステン膜を金属配線層として使用すると、タングステン自体の抵抗率 (約 $6 \sim 12 \times 10^{-8} \Omega \cdot m$) が大きいため、応答時間の遅れが大きくなって、半導体素子の動作速度が低下する。このようにタングステンの抵抗率がアルミニウム合金に比べて約 6~7 倍程度に高いので、そのような欠点を補うため、従来は、タングステンを金属配線でなくプラグ用として使用し、タングステンプラグを形成した後にタングステンの上部に配線用のアルミニウム合金を再蒸着するという二重構造の金属配線を形成することが行われた。しかし、それでは、工程が複雑になるという問題があった。

【0007】 したがって、この発明は、そのような従来

の問題点を解決すべくなされたもので、タングステン膜を導電膜として使用する半導体装置の金属配線層の工程において、抵抗率の低いタングステン膜を形成して、応答時間の遅延を減少することができる、半導体装置の金属配線およびその形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】この発明は、上記の課題を解決するために、導電層の所定部位が露出される開口部を持つ絶縁膜と、上記絶縁膜の開口部を埋めるプラグとして抵抗率を低くするための不純物を含む第一タングステン膜と、上記第一タングステン膜が形成された状態の上面に形成される配線として、抵抗率を低くするための不純物を含む第二タングステン膜を備えてなる半導体装置を提供する。

【0009】また、金属コンタクトホールが形成されたウェハを準備する段階と、リンとホウ素を含むガス雰囲気内で450℃以下の温度で第一タングステン膜を形成することにより上記金属コンタクトホールを埋めるプラグを形成する段階と、リンとホウ素を含むガス雰囲気内で450℃以上の温度で第二タングステン膜を蒸着して、上記第一タングステン膜と接続される配線を形成する段階とを備えてなる半導体装置の製造方法を提供する。

【0010】

【発明の実施の形態】以下、図1～3を参照しながら、この発明の実施の形態について説明する。なお、各実施の形態間において共通する部分や部位には同一の符号を付し、重複する説明を省略する。

【0011】図1は、この発明の一実施形態を示すもので、まず、所定の半導体素子を含む下部層が形成された半導体基板10の上部の層間絶縁膜12を選択蝕刻して半導体基板10上のソース／ドレイン領域（図示せず）が露出されるコンタクトホール11を形成した後、その全体構造の上部に障壁金属膜としてチタン（Ti）膜13と窒化チタン（TiN）膜14を順に形成した後、上記チタン膜13、窒化チタン膜14に対して反応炉（furnace）の温度を500℃～700℃の高温に設定して熱処理し、または、熱処理のためのチャンバ内で急速熱処理（Rapid Thermal Processing：以下、RTPという）する。

【0012】次いで、図2は、コンタクトホール11を埋めるとともに窒化チタン膜14の上面を覆う第一タングステン膜15aおよびその上を覆う第二タングステン膜15bを堆積させた段階を示す。ここに、第一タングステン膜15aは、450℃以下の低温工程によりコンタクトホール11を十分に埋めるように蒸着し、第二タングステン膜15bは、450℃以上の高温工程でタングステン膜の内部ストレスが減少するように蒸着する。これらのタングステン膜15a、15bの蒸着工程につ

いては、図4および図5を参照して、後述する。

【0013】ここで、第一および第二タングステン膜15a、15bの抵抗率を低くする方法について説明する。その為には、タングステン膜を蒸着する際に、SiH₄、WF₆、Arガスに、B₂H₆ガスとPH₃ガスを添加して行う。これは、上記B₂H₆ガスとPH₃ガスによりホウ素とリンの不純物をタングステン膜内に均等に分布させて、第一および第二タングステン膜15a、15bの抵抗率を約1/2程度、すなわち、約6×10⁻⁸Ω・m以下に低くすることができるからである。

【0014】図4は、化学気相堆積（CVD）装置の一例を示す模式図で、チャンバ20内に一定の温度を加えた基板台21の上にウェハ22を載せ、反応させようとするガスを混合してウェハ22の上方のガス噴射機（Water-Cooled Showerhead）23から噴射する。反応ガスとしては、SiH₄、WF₆、H₂、Arガスに、B₂H₆ガスとPH₃ガスを添加して供給し、ウェハ22上にタングステン膜を蒸着する。

【0015】この発明の実施例では、第一タングステン膜15aと第二タングステン膜15bを異なる温度条件で順次形成するので、それぞれの蒸着チャンバを別々に配置して工程を行っている。図5は、その為の装置の配置と工程順序を示す配置図であり、まず、ウェハ22をロードロック（Load Lock）チャンバ31に進入させた後、パuffアチャンバ32を経て第一蒸着チャンバ33へ入れて約450℃以下の低い温度でコンタクトホールを埋めるように第一タングステン膜15aを蒸着する。次に、第一タングステン膜15aが蒸着されたウェハ22を、再びパuffアチャンバ32を経て第二蒸着チャンバ34へ移動させて約450℃以上の高い温度で第二タングステン膜15bを全面に蒸着する。次に、第二タングステン膜15bを全面蒸着したウェハ22を、またパuffアチャンバ32を経て最初の位置であるロードロックチャンバ31へ戻す。

【0016】終わりに、そこまでの処理を経たウェハ22の全体構造の上部に、以後の金属配線の形成のための写真蝕刻工程の露光過程で発生する乱反射を防止するための反射防止層としてTiN膜16を形成した。

【0017】この発明は、前述した実施例および図面に限定されるものではなく、この発明の技術的思想を逸脱しない範囲内で種々の置換や変更が可能であることは当然である。

【0018】

【発明の効果】以上説明したように、この発明によれば、タングステン膜を導電膜として使用する半導体装置の金属配線工程において、リンやホウ素を含有するガスを添加してCVD工程によりタングステン膜を形成し、また低温と高温の2回の工程を実施するので、抵抗率の低いタングステン膜を形成でき、素子の応答時間の遅延を減少させて素子の高速動作を期待できるし、アスペク

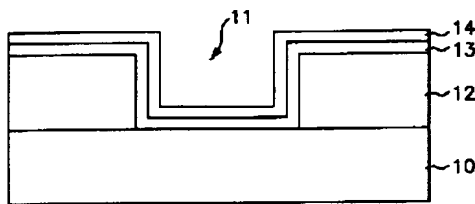
ト比の高いコンタクトホールでもうまく埋めて接触抵抗を小さくかつ半導体装置外形をほぼ平坦に形成できる。また、段差被覆性の優れたタングステンを使用して金属配線層を形成することにより、従来の段差被覆性の改善のためのタングステンプラグ工程と抵抗率低減のためのアルミニウム合金形成工程といった二重構造ではない、単一構造の金属配線を形成できるから、工程の単純化による製造単価を低くすることができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明による半導体装置の金属配線の形成工程における半導体装置の断面図である。

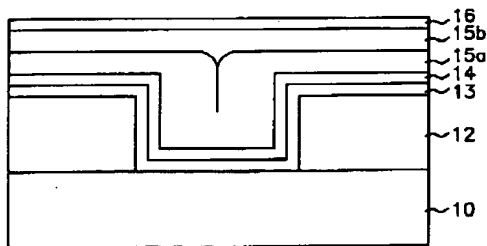
【図2】 この発明による半導体装置の金属配線の形成工程における半導体装置の断面図である。

【図1】



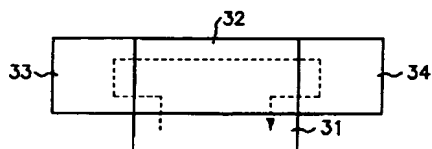
10…半導体基板 11…コンタクトホール
12…層間絶縁膜 13…チタン膜
14…窒化チタン膜

【図3】



10…半導体基板 12…層間絶縁膜
13…チタン膜 14…窒化チタン膜
15a…第一タングステン膜
15b…第二タングステン膜
16…反射防止TiN膜

【図5】



31…ロードロックチャンバ
32…パuffァチャンバ
33…第一蒸着チャンバ
34…第二蒸着チャンバ

【図3】 この発明による半導体装置の金属配線の形成工程における半導体装置の断面図である。

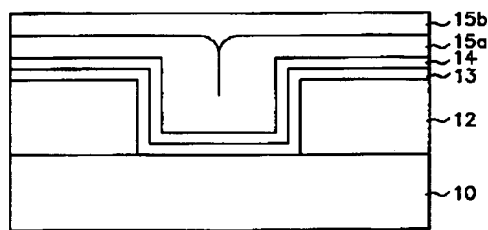
【図4】 この発明における化学気相堆積装置の一例を示す模式図である。

【図5】 この発明におけるタングステン膜形成工程の装置の配置および進行順序を示す配置図である。

【符号の説明】

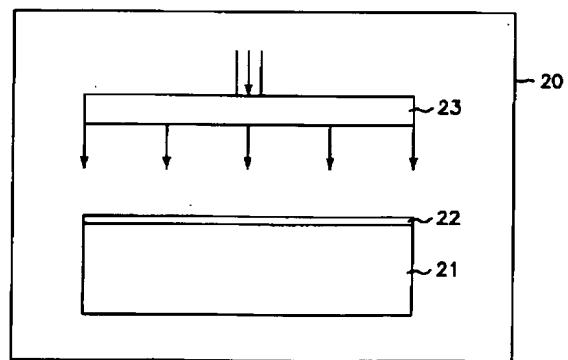
10…半導体基板、11…コンタクトホール、12…層間絶縁膜、13…チタン膜、14…窒化チタン膜、15a…タングステン膜、15b…タングステン膜、16…反射防止TiN膜、20…チャンバ、21…基板台、22…ウェハ、23…ガス噴射器、31…ロードロックチャンバ、32…パuffァチャンバ、33…第一蒸着チャンバ、34…第二蒸着チャンバ

【図2】



15a、15b…タングステン膜

【図4】



20…チャンバ 21…基板台
22…ウェハ 23…ガス噴射器